

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-254256

(43)Date of publication of application : 13.11.1991

(51)Int.Cl.

H04L 27/36

H04L 27/20

H04L 27/22

H04L 27/38

(21)Application number : 02-051463

(71)Applicant : NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing : 02.03.1990

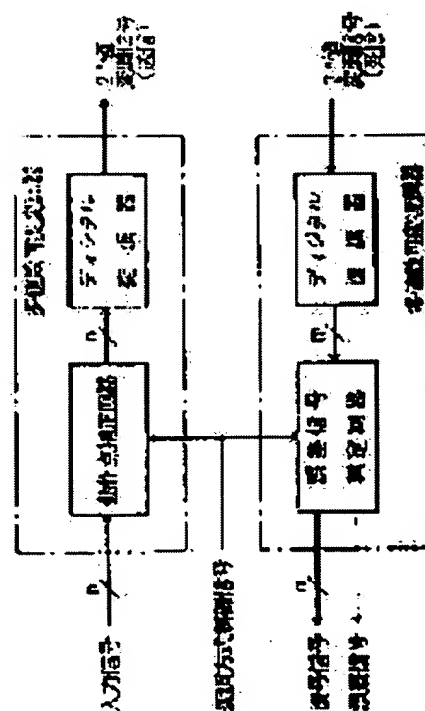
(72)Inventor : OKADA TAKASHI
NAKAMURA YASUHISA

(54) MULTI-VALUE VARIABLE MODEM

(57)Abstract:

PURPOSE: To allow the MODEM to easily cope with a modulation system of a different multi-value with same equipment constitution by implementing the major part of MODEM processing with digital signal processing only.

CONSTITUTION: A digital modulator and a digital demodulator realize all modulation and demodulation processing in digital calculation and apply modulation and demodulation by the digital signal processing. That is, a carrier signal using a clock for generating a carrier signal is generated and the modulation processing by digital multiplication is implemented. On the other hand, in order to cover plural modulation systems in response to a bit number (n) of the input signal, it is required to correct each signal point level respectively to in optimum operating point of a modulator and the modulation is implemented by the digital signal processing and the correction value of each signal point level to correct the optimum operating point of the modulator is definitely decided independently of temperature or other external conditions. Thus, the MODEM copes easily with various modulation systems.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
 ⑫ 公開特許公報(A) 平3-254256

⑬ Int. Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成3年(1991)11月13日
 H 04 L 27/36 A 7240-5K
 27/20 F 7240-5K
 27/22 7240-5K H 04 L 27/00 F
 27/38 7240-5K G
 審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 多値数可変変復調器

⑯ 特 願 平2-51463

⑰ 出 願 平2(1990)3月2日

⑱ 発 明 者 岡 田 隆 東京都千代田区内幸町1丁目1番6号 日本電信電話株式
 会社内

⑲ 発 明 者 中 村 康 久 東京都千代田区内幸町1丁目1番6号 日本電信電話株式
 会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 古 谷 史 旺

明 細 書

1. 発明の名称

多値数可変変復調器

2. 特許請求の範囲

(1) n ビットの入力信号に対し、対応する変調方式に応じて変調器の最適動作点に各信号点レベルを補正する動作点補正回路、および動作点補正出力に対してデジタル演算処理により変調を行い 2^m 値変調信号を出力するデジタル変調器を有する多値数可変変復調器と、

前記 2^m 値変調信号を受信し、前記デジタル変調器に対応する検波および識別処理を行い、符号ビットおよび誤差ビットを含む m ($m > n$)ビットの識別信号を出力するデジタル復調器、および前記識別信号から前記変調方式に応じて符号ビットおよび誤差ビットを選択し、送信された n ビットの復号信号および誤差信号を出力する誤差信号判定回路を有する多値数可変変復調器と

を備えたことを特徴とする多値数可変変復調器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタル無線通信に用いられる変復調器に関する。特に、位相変調方式(PSK)および振幅位相変調方式(APSK)の中の多値QAM変調方式において、多値数可変に対応できる変復調器に関する。

(従来の技術)

第11図は、従来の多値QAM変復調器の構成例を示すブロック図である。なお、第11図例は変調器を示し、第12図例は復調器を示す。

1符号に n ビットを有する 2^m QAM信号は、 $2^{n/2}$ の離散値をとる多値信号であり、直交したUSB-SC(両側帯波束送波抑圧)変調波を合成して得られる。

すなわち、 n ビットの入力信号をデジタル/アナログ変換器(D/A)81、81を介してアナログ信号に変換し、低域通過フィルタ(LPF)82、82を介して、発振器83、乗

特開平3-254256 (2)

算器(リング変調器)84、84、 $\pi/2$ 移相器85および加算器86により構成される4FSK変調器に入力し、直交するキャリア信号をDSB-SC変調することにより、2ⁿQAM信号が得られる。なお、その出力(多値QAM信号)は、帯域通過フィルタ(BPF)87を介して取り出される。

多値QAM信号の復調は、位相検波器91、91、 $\pi/2$ 移相器92、低域通過フィルタ(LPF)93、93およびキャリア同期回路94により構成される同期検波回路により行われる。直交する基準キャリア信号で検波された同相成分Iおよび直交成分Qの復調信号は、アナログ/デジタル変換器(A/D)94、94を介して出力される。なお、クロック同期回路95は、各復調信号に同期したクロックを各アナログ/デジタル変換器94、94に供給する。

(発明が解決しようとする課題)

ところで、従来の多値QAM変復調器の主要部

はアナログ回路で構成されている。したがって、各種変調方式(多値数)に応じて入力信号のビット数を変更した場合には、変調器その他のアナログ回路の動作点が変化し、それに伴って変調信号にキャリアリークが現れ、C/N(搬送波電力対雑音電力比)特性が劣化する。

一方、入力信号のビット数に応じて各アナログ回路の動作点を最適値に調整するには、温度その他の外部条件をそのパラメータに加味する必要がある。一意的な決定は不可能であった。したがって、各種変調方式に対応できる装置を実現するには、動作点制御のための複雑な制御処理が必要になっており、従来のアナログ回路構成では多値数可変への対応が困難であった。

本発明は、各種変調方式に対して最適動作点への調整値を外部条件によらずに一意的に決定でき、各種変調方式に容易に対応できる多値数可変変復調器を提供することを目的とする。

(課題を解決するための手段)

第1図は、本発明多値数可変変復調器の原理構成を示すブロック図である。

本発明は、nビットの入力信号に対し、対応する変調方式に応じて変調器の最適動作点に各信号点レベルを補正する動作点補正回路、および動作点補正出力に対してデジタル演算処理により変調を行い2ⁿ値変調信号を出力するデジタル変調器を有する多値数可変変調器と、2ⁿ値変調信号を受信し、デジタル変調器に対応する検波および識別処理を行い、符号ビットおよび誤差ビットを含むm(m>n)ビットの識別信号を出力するデジタル復調器、および識別信号から変調方式に応じて符号ビットおよび誤差ビットを選択し、送信されたnビットの復号信号および誤差信号を出力する誤差信号判定回路を有する多値数可変復調器とを備えて構成する。

(作用)

本発明は、デジタル変調器およびデジタル

復調器により、変復調処理のすべてをデジタル演算で実現し、デジタル信号処理により変調および復調を行う。すなわち、キャリア信号発生用クロックを用いてキャリア信号を発生させ、デジタル乗算により変調処理を行う。また、同期をとったキャリア信号再生用クロックおよび再生クロックを用いて、同様にして検波および識別処理を行う。

一方、入力信号のビット数nに応じて複数の変調方式に対応するためには、各信号点レベルを変調器の最適動作点にそれぞれ補正する必要がある。

本発明は、デジタル信号処理により変調を行う構成であり、変調器の最適動作点に補正する各信号点レベルの補正値は、温度その他の外部条件によらずに一意的に決定できる。動作点補正回路はその補正値を用いて変調器の最適動作点への調整を行うことにより、各変調方式に容易に対応をとることができる。

また、復調処理においては、各変調方式に対応して符号ビットと誤差ビットの選択を行うことに

特開平3-254256(3)

より、各変調方式ごとに容易に対応することができ、

〔実施例〕

以下、図面に基づいて本発明の実施例について詳細に説明する。

第2図は、本発明変復調器の一実施例構成を示すブロック図である。なお、本実施例は2ⁿQAM変調方式に対応する構成であり、入力信号としてnビットの並列データ信号が入力される。また、この入力ビット数nに応じて、例えば第1表に示す変調方式が選択され、対応する変調方式制御信号が生成される。

第1表

入力ビット数n	変調方式
2	4PSK
4	16QAM
6	64QAM
8	256QAM

換するデジタル／アナログ変換器(D/A)28と、帯域通過フィルタ(BPF)29により構成される。

復調器は、受信信号(2ⁿQAM信号)をデジタル信号に変換し、デジタル演算により検波を行い、識別信号を出力するデジタル復調器31と、その識別信号を取り込み、復号信号と誤差信号を選択分離する誤差信号判定回路32により構成される。

デジタル復調器31は、受信信号の高域成分を除去する低域通過フィルタ(LPF)33と、その出力信号をデジタル信号に変換するアナログ／デジタル変換器(A/D)34と、デジタル信号に変換された受信信号を取り込み、各チャンネル対応の信号に分割した後にキャリア信号再生用クロック35により同期検波を行うデジタル直交検波器36と、再生クロック37に応じて各チャンネル対応の検波出力の識別を行う識別回路38、39により構成される。なお、キャリア信号再生用クロック35は、図外のキャリア同期

図において、変調器は、nビットの並列データ信号に対する変調方式に応じた動作点の補正を行う動作点補正回路21と、動作点補正出力を取り込み、変調動作をデジタル演算で行った後にアナログ信号に変換して2ⁿQAM信号を出力するデジタル変調器22により構成される。

なお、第1表に示す変調方式は、いずれも直交変調によって実現されるので、nビットの入力信号はIチャンネル信号およびQチャンネル信号として、それぞれn/2ビットずつの並列データ信号に分割されて処理される。

動作点補正回路21は、各チャンネル対応のデジタルフィルタ23₁、23₂と、各デジタルフィルタ出力の動作点を変調方式制御信号24に応じて制御する動作点シフト回路25₁、25₂により構成される。また、デジタル変調器22は、動作点補正回路21の各チャンネル対応の出力を取り込み、キャリア信号発生用クロック26に応じてデジタル直交変調を行うデジタル直交変調器27と、その変調出力をアナログ信号に変

期回路から供給される。また、再生クロック37は、図外のクロック同期回路から供給される。

また、誤差信号判定回路32は、デジタル復調器31の各チャンネル対応の出力(m/2ビット、m>n)を取り込み、符号ビットと誤差ビットとを変調方式制御信号24に応じて選択し、分離出力する誤差ビット選択回路39₁、39₂により構成される。

以下、各部の構成および動作について説明する。

第1表に対応する入力信号のビット数n、すなわち変調方式に応じた信号点レベルは、それぞれ2値(n=2、4PSK)、4値(n=4、16QAM)、8値(n=6、64QAM)、16値(n=8、256QAM)をとり、第3図(a)に示す配置となる。なお、この状態ではそれぞれの最適動作レベルが異なり、上述したように一つの動作点ですべての変調方式に適用することはできなかった。

したがって、すべての変調方式に対応させるためには最適動作レベルを共通化する必要があり、そのためには例えば256QAM変調方式に対して、

特開平3-254256 (4)

各信号点レベルをそれぞれ $1/2$ (64QAM)、 $3/2$ (16QAM)、 $7/2$ (4PSK) だけ補正しなければならない。第3図(ハ)は、信号点レベルの補正後の配置を示す。

第4図は、入力信号のビット数 n (変調方式制御信号24) に応じて動作点を補正する動作点シフト回路25の構成例である。

図において、動作点シフト回路25は、変調方式制御信号24に対応する補正係数を出力する補正係数ROM41と、デジタルフィルタ出力に補正係数を加算するデジタル加算器43とにより構成される。

補正係数ROM41が出力する補正係数は、上述した各補正量に対応するものであり、このような補正処理を施すことにより、第3図(ハ)に示すように各変調方式に対して動作点を一定にすることができる。

なお、この処理はデジタル演算処理であるので、補正係数は温度その他の外部条件に左右されずに変調方式に応じて一意に決定できる。したが

って、補正係数は本実施例に示すようにROMなどに記憶させておき、そのアドレスを変調方式制御信号24を用いて指定することにより出力させることができる。

第5図は、各チャネル対応の動作点補正出力に対して直交変調を行うデジタル直交変調器27の構成例である。

図において、デジタル直交変調器27は、キャリア信号発生用クロック28を取り込むカウンタ51と、カウンタ出力を取り込む波形ROM53、53'と、各チャネル対応の動作点補正出力と各波形ROM出力との乗算を行うデジタル乗算器55、55'と、各チャネル対応の乗算結果を加算するデジタル加算器57とにより構成される。

各チャネル対応の波形ROM53、53'は、互いに直交する基準キャリア信号の振幅情報が記憶され、カウンタ出力によりそのデータが読み出される。デジタル乗算器55、55'では、各チャネル対応の動作点補正出力と直交キャリア

信号とのデジタル乗算を行うことにより直交変調が行われ、各乗算結果を加算することによりデジタル変調信号として出力される。

第6図は、デジタル直交変調器27に対応するデジタル直交検波器36の構成例である。

図において、デジタル直交検波器36は、キャリア信号再生用クロック35を取り込むカウンタ61と、カウンタ出力を取り込む波形ROM63、63'と、受信信号と各波形ROM出力との乗算を行い、乗算結果をチャネル対応に出力するデジタル乗算器65、65'と、その一方(ここではQチャネル)の乗算結果に所定の遅延を与えるシフトレジスタ67とにより構成される。

各チャネル対応の波形ROM63、63'は、互いに直交する再生キャリア信号の振幅情報が記憶され、カウンタ出力によりそのデータが読み出される。デジタル乗算器65、65'では、各チャネル対応の受信信号と各再生キャリア信号とのデジタル乗算を行うことにより直交検波が行われる。

さらに、各チャネル対応の検波出力は、フリップフロップその他で構成された識別回路38、38'に入力され、再生クロック37を用いて信号の識別が行われる。なお、識別後の符号ビットと誤差ビットは、各変調方式によって異なる。

第2表は、各変調方式と識別信号($m/2$ ビット)の符号ビットおよび誤差ビットとの関係を示す。なお、誤差ビットは1ビット($m = n + 1$)とする。

第2表

変調方式	256QAM	64QAM	16QAM	4PSK
識別信号	符号ビット	a ₀ a ₁ a ₂ a ₃	a ₀ a ₁ a ₂ —	a ₀ a ₁ — —
	誤差ビット	a ₀ a ₁ a ₂ a ₃	a ₀ a ₁ a ₂ a ₃	a ₀ a ₁ a ₂ a ₃

第2表に示すように、4PSK変調方式の場合には、上位から第1ビット(a₀)が符号ビッ

特開平3-254256 (5)

トとなり、第2ビット(a_1)が誤差ビットとなる。以下同様に、256QAM変調方式の場合には、上位から第1ビット～第4ビット($a_0 \sim a_3$)が符号ビットとなり、第5ビット(a_4)が誤差ビットとなる。

第7図は、各チャネル対応の識別信号から符号ビットと誤差ビットとを選択分離し、それぞれ復号信号および誤差信号として出力する誤差ビット選択回路39の構成例である。

図において、各チャネル対応の識別信号($m/2$)が2分岐し、その一方が入力される符号ビット判定用セレクタ71は、変調方式制御信号24に対応するビットを第2表に基づいて選択して出力する構成であり、その他が入力される誤差ビット判定用セレクタ73は、変調方式制御信号24に対応するビットを第2表に基づいて選択して出力する構成である。たとえば、64QAM変調方式の場合には、符号ビット判定用セレクタ71は識別信号の第1ビット～第3ビットを符号ビットとして出力し、誤差ビット判定用セレクタ73は

第4ビットを誤差ビットとして出力する。

各誤差ビット選択回路39、39'が出力する符号ビットおよび誤差ビットは、それぞれ合成されて復号信号および誤差信号として出力される。なお、デジタル直交検波器36のシフトレジスタ67により、その一方のチャネルの識別信号に所定の遅延が与えられ、両チャネルの合成に供される。

ここで、本実施例構成による実験結果を示す。

なお、4PSK、16QAM、64QAM、256QAMの各変調方式において、キャリア信号再生用クロック35には変調器のキャリア信号発生用クロック26を用い、再生クロック37には入力信号と同期したクロックを用いた。

第8図は、動作点補正を行う場合と行わない場合について、4PSK変調方式における各C/Nに対する誤り率を測定した結果である。

図に示すように、動作点補正を行った場合には、誤り率 1.0×10^{-4} において動作点補正を行わない場合に比べて、約1.5dBの特性改善が認められた。

また、第9図は、各C/Nに対する誤り率の理論値(実線)および測定結果(点線)を各変調方式ごとに示す。第10図(a)～(d)は、各変調方式に対して本実施例構成を用いて観測された復調出力の信号空間点配置である。

図に示すように、理論値からの劣化は256QAM変調方式においても2dB以下に抑えられており、ほとんど無調整に良好な特性が得られることが確認された。

(発明の効果)

上述したように、本発明は、変復調処理の主要部分をすべてデジタル信号処理により行うので、複雑な調整が不要となり、さらに同一の装置構成で異なった多値数の変調方式に容易に対応することができる。

したがって、本発明による多値数可変変復調器は、可変容量伝送方式のように瞬時に変調方式の切り替えが要求される分野においても十分に対応させることができる。

4. 図面の簡単な説明

第1図は本発明の原理構成を示すブロック図。

第2図は本発明の一実施例構成を示すブロック図。

第3図は動作点補正回路の動作原理を説明する図。

第4図は動作点シフト回路の構成例を示すブロック図。

第5図はデジタル直交変調器の構成例を示すブロック図。

第6図はデジタル直交検波器の構成例を示すブロック図。

第7図は誤差ビット選択回路の構成例を示すブロック図。

第8図は4PSK変調方式における各C/Nに対する誤り率を測定した結果を示す図。

第9図は各C/Nに対する誤り率の理論値および測定結果を各変調方式ごとに示す図。

第10図は本実施例構成を用いて観測された各変調方式に対応する復調出力の信号空間点配置を示す図。

特開平3-254256 (6)

す図。

第11図は従来の多値QAM変復調器の構成例を示すブロック図。

21…動作点補正回路、22…デジタル変調器、23…デジタルフィルタ、24…変調方式制御信号、25…動作点シフト回路、26…キャリア信号発生用クロック、27…デジタル直交変調器、28…デジタル/アナログ変換器(D/A)、29…帯域通過フィルタ(BPF)、31…デジタル復調器、32…誤差信号判定回路、33…低域通過フィルタ(LPF)、34…アナログ/デジタル変換器(A/D)、35…キャリア信号再生用クロック、36…デジタル直交検波器、37…再生クロック、38…識別回路、39…誤差ビット選択回路、41…補正係数ROM、43…デジタル加算器、51…カウンタ、53…波形ROM、55…デジタル乗算器、57…デジタル加算器、61…カウンタ、63…波形ROM、65…デジタル乗算器、67…シフトレジスタ、71…符号ビット判定用セレクト。

73…誤差ビット判定用セレクト。

特許出願人 日本電信電話株式会社
代理人 赤尾士古谷史

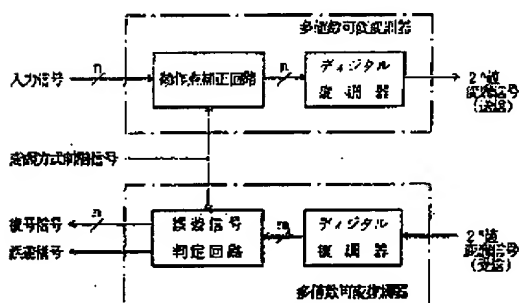


図 1

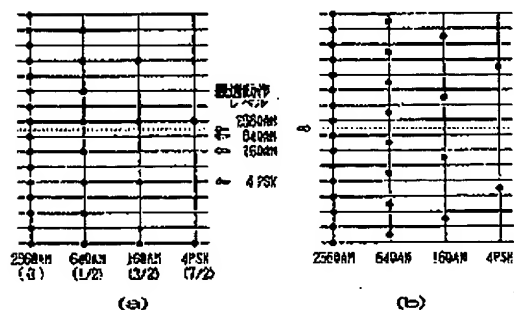


図 3

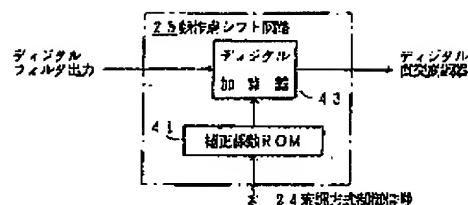


図 4

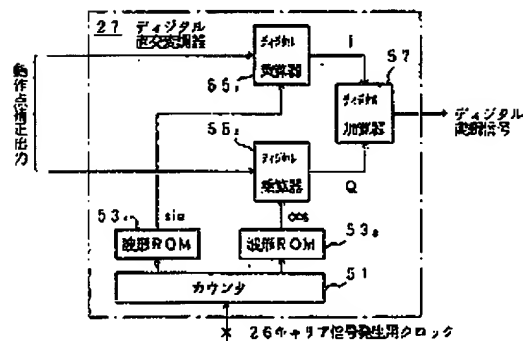


図 5

特開平3-254256(7)

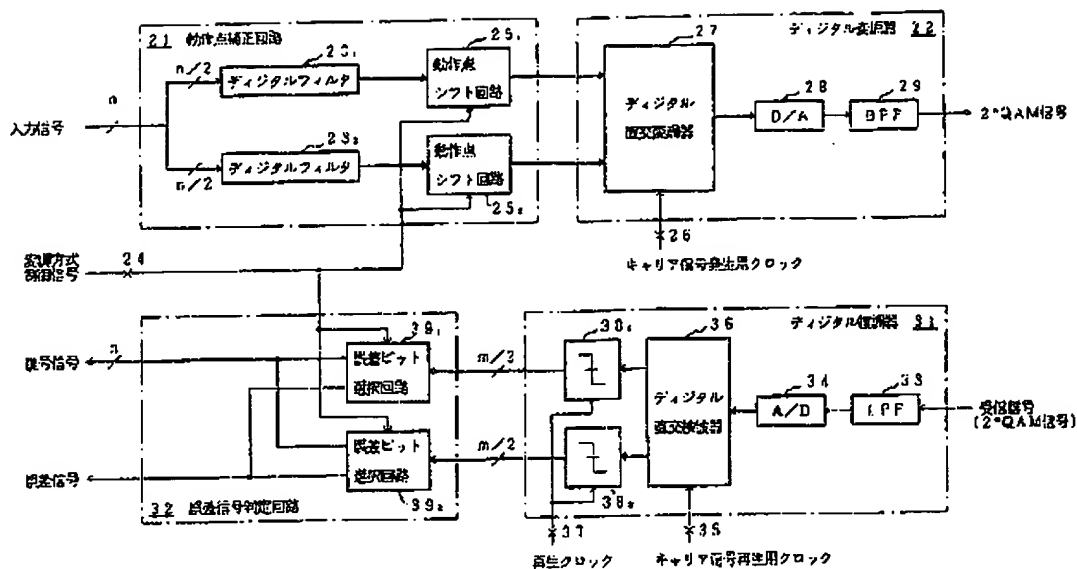


図2

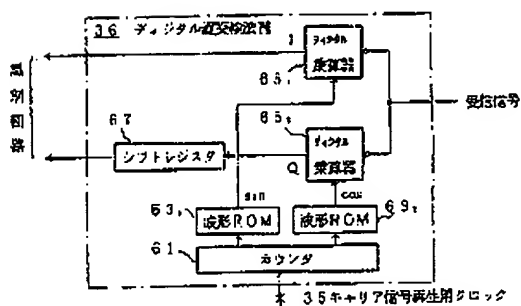


図3

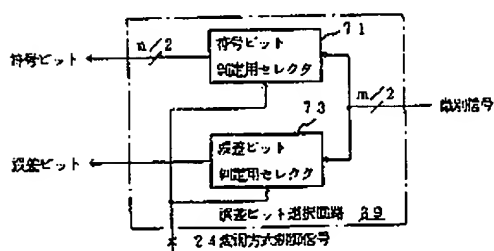


図4

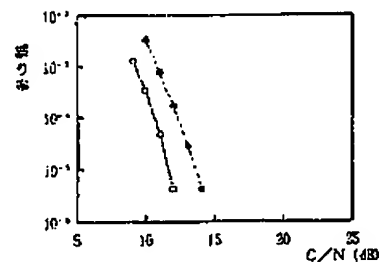


図5

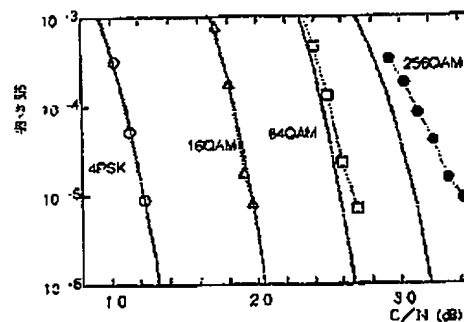
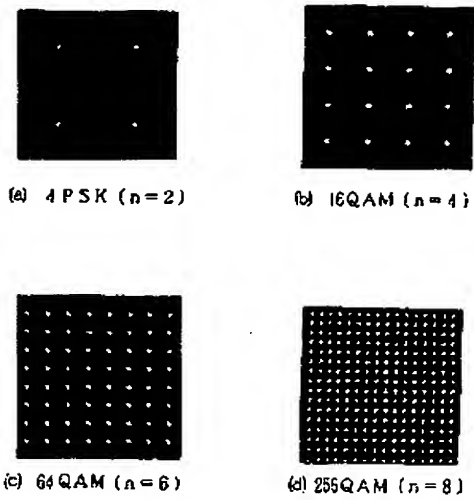
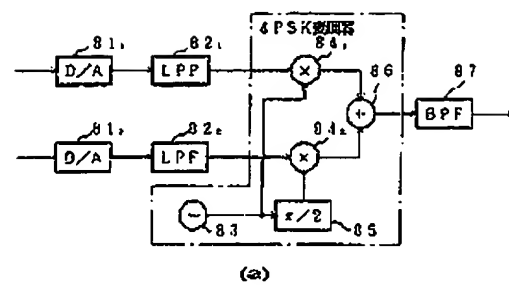


図6

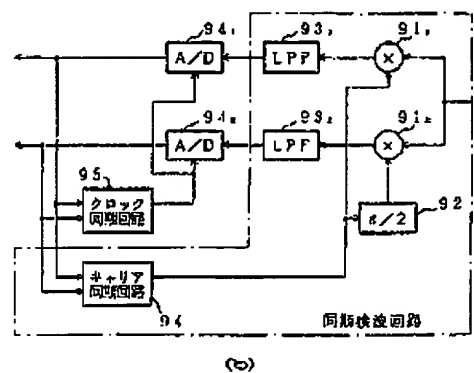


第 10 図

図 3-254256 (8)



(a)



(b)

第 11 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.